

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-040449

(43)Date of publication of application : 21.02.1991

(51)Int.Cl.

H01L 21/90

(21)Application number : 02-029571

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.02.1990

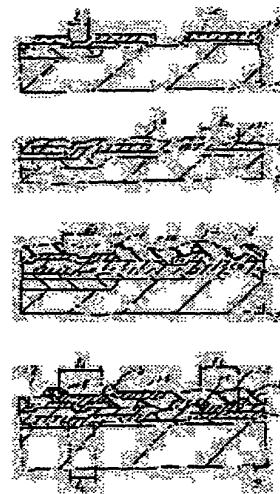
(72)Inventor : OGURA SADA O
INABA TORU
TAKAGI TATSUTOSHI

(54) SEMICONDUCTOR DEVICE PROVIDED WITH INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To eliminate defects of steps and film thickness to realize a wiring of high density by a method wherein the area of a through-hole between a first wiring layer and a second wiring layer is made larger than that of a through-hole between the second wiring layer and a third wiring layer.

CONSTITUTION: A first wiring layer 9 is formed, which makes a part of an oxide film 8 formed on a semiconductor substrate serve as a contact hole whose side is l_1 in length. A first interlayer insulating film 10 is formed thereon, and a through-hole (TH) 11 whose side is l_2 long is bored in the interlayer insulating film 10 to expose a part of the wiring layer 9, where l_2 is larger than l_1 . Furthermore, a second Al wiring layer 12 and a second interlayer insulating film 13 are formed, a through-hole with a side l_3 in length (where $l_3 > l_2$) is provided above the through-hole with a side l_1 long to expose a part of the wiring layer 12. Then, a third Al wiring layer 15 is formed. By this setup, a through-hole adequate in area can be obtained, defects of steps or film thickness can be eliminated, a wiring is improved in degree of freedom, and thus a high density wiring can be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A)

平3-40449

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月21日

H 01 L 21/90

A

6810-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 集積回路を有する半導体装置

⑯ 特 願 平2-29571

⑰ 出 願 昭57(1982)12月24日

⑱ 特 願 昭57-226181の分割

⑲ 発 明 者 小 倉 節 生 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 稲 葉 透 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 高 木 辰 逸 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

集積回路を有する半導体装置

2. 特許請求の範囲

1. 半導体基体内に形成された半導体素子領域と、その半導体基体主面を覆う第1の絶縁膜と、一部がその第1の絶縁膜に設けられたスルーホールを介して前記半導体素子領域にコンタクトし、その第1の絶縁膜上に延びる第1層目の第1配線およびその第1の絶縁膜の他の部分上に延びる第1層目の第2配線と、その第1、第2配線を覆うように半導体基体主面上に形成された第2の絶縁膜と、一部がその第2の絶縁膜に設けられたスルーホールを介して前記第2配線にコンタクトし、その第2の絶縁膜上に延びる第2層目の第3配線およびその第2の絶縁膜の他の部分上であって一部が前記第1の絶縁膜のスルーホール上に位置して延在する第2層目の第4配線と、その第3、第4配線を覆うように半導体基体主面上に形成された第3の絶縁膜と、前記第1の絶縁膜のスルーホール上

に位置して一部がその第3の絶縁膜に設けられたスルーホールを介して前記第4配線にコンタクトし、その第3の絶縁膜上に延びた第3層目の第5配線とを含み、その第3の絶縁膜のスルーホールの径は前記第2の絶縁膜のスルーホールの径よりも大きく、また前記第2の絶縁膜のスルーホールの径は前記第1の絶縁膜のスルーホールの径よりも大きく形成されてなることを特徴とする集積回路を有する半導体装置。

2. 前記第1、第2配線はポリSiまたはMoよりなることを特徴とする特許請求の範囲第1項記載の集積回路を有する半導体装置。

3. 発明の詳細な説明

〔技術分野〕

本発明は半導体装置、特にIC、LSI等の集積回路を有する半導体装置における多層配線構造に関する。

〔背景技術〕

従来よりIC、LSI等の集積回路を有する半導体基体表面上では配線を2層構造とし、層間に

絶縁膜を介挿させ、この絶縁膜にあけた透孔（スルーホール）を通して上下の配線を相互に接続する。ところで、集積回路がより大規模化し、複雑化すると3層以上の配線構造が必要となる。2層配線構造の場合、第1層（下層）の電極（配線）と第2層（上層）の配線とを接続する透孔は1種類であるが、3層配線以上になると、第2層と第3層（最上層）の配線間を接続するための他の種類の透孔等が必要となってくる。この場合、上層側になるほど配線の間で層間絶縁膜の段差が大きくなるという問題がある。すなわち、第1図に示すように下層側に絶縁膜1や配線2による段差ができ、その上で他の絶縁膜3や配線4による段差が重なるような場合、段差がさらに強調されて大きくなる。なお、各層を形成するためのマスクパターン間では上下の層段差の位置は考慮されないのが普通であるから、段差が重なる可能性は少なく、したがって、上層で段差を小さくすることは困難である。このような大きくなった段差を覆うように形成された絶縁膜はその部分で膜厚

の絶縁膜と、一部がその第1の絶縁膜に設けられたスルーホールを介して前記半導体素子領域にコンタクトし、その第1の絶縁膜上に延びる第1層目の第1配線およびその第1の絶縁膜の他の部分上に延びる第1層目の第2配線と、その第1、第2配線を覆うように半導体基体主面上に形成された第2の絶縁膜と、一部がその第2の絶縁膜に設けられたスルーホールを介して前記第2配線にコンタクトし、その第2の絶縁膜上に延びる第2層目の第3配線およびその第2の絶縁膜の他の部分上であって一部が前記第1の絶縁膜のスルーホール上に位置して延在する第2層目の第4配線と、その第3、第4配線を覆うように半導体基体主面上に形成された第3の絶縁膜と、前記第1の絶縁膜のスルーホール上に位置して一部がその第3の絶縁膜に設けられたスルーホールを介して前記第4配線にコンタクトし、その第3の絶縁膜上に延びた第3層目の第5配線とを含み、その第3の絶縁膜のスルーホールの径は前記第2の絶縁膜のスルーホールの径よりも大きく、また前記第2の絶

（例えば第1図h）が大きくなる。このような膜厚の大きい絶縁膜に通常のホトレジストマスク6を使って透孔（スルーホール）を形成しようとすると、第2図にわかりやすく図示するように、絶縁膜3の側面方向へのエッチ（矢印で示す）は進行するが透孔5の底部の開口面積 S_1 はマスク6の面積 S_2 に比して小面積になり、（例えば、 $S_1: 5 \times 5 \mu m^2$, $S_2: 3 \times 3 \mu m^2$ ）絶縁膜が厚いほど開き難くなる。一般に、上層の層間絶縁膜には有機樹脂等が使われ厚く形成されるから、段差のない個所においても透孔を得るのは困難である。

【発明の目的】

本発明は上記した問題を解決するためになされたものであり、その目的とするところは3層以上の信頼度の高い多層配線構造を成した集積回路を有する半導体装置の提供にある。

【発明の概要】

本発明の構成は、半導体基体内に形成された半導体素子領域と、その半導体基体主面を覆う第1

絶縁膜のスルーホールの径は前記第1の絶縁膜のスルーホールの径よりも大きく形成されてなることを特徴とするものである。

以下実施例にそって本発明の内容を詳述する。

【実施例】

第3図～第7図は半導体装置において3層の配線構造を形成する場合の一実施例を製造プロセスに従って工程断面図により示すものであり、各工程は下記の通りである。

(1) 第3図に示すように、半導体素子（半導体素子領域）の形成された半導体基体7表面の酸化膜（ SiO_2 膜）8の一部をコンタクトホトエッチした後、Alを蒸着し、パターニングエッチして第1層のAl配線9を形成する。このときの酸化膜のコンタクト孔の一辺の寸法を L_1 とする。

(2) 例えば、CVD（気相化学析出）法によるPSG（リン・シリケートガラス）等よりなる第1の層間絶縁膜10を形成し、第4図に示すようにホトエッチによりスルーホール（透孔）11をあけ、Al配線9の一部を露出する。このときの

スルーホール11の一辺の寸法を ϕ_1 とする。 ϕ_1 は ϕ_2 よりも大きくとるようにする。

(3) 第5図に示すようにA ϕ を蒸着し、パターンニングエッチして第2層のA ϕ 配線12を形成する。

(4) 例えば、ポリイミド系樹脂を全面に塗布することにより第2の層間絶縁膜13を第6図に示すように形成し、ホトエッチにより酸化膜のスルーホール ϕ_1 上にスルーホール14をあけ、第2層A ϕ 配線12の一部露出する。このときのスルーホール14の一辺の寸法を ϕ_2 とする。この ϕ_2 は ϕ_1 よりも大きくとることが必要である。

(5) 第7図に示すようにA ϕ を蒸着し、第3層のA ϕ 配線15を完成する。第8図は第7図に対応する完成時の各A ϕ 配線パターンとスルーホールの位置を示す平面図である。同図において、スルーホールの径は $\phi_1 < \phi_2 < \phi_3$ の関係にあることが示されている。

【効果】

以上、実施例で述べたように本発明では多層配

線を有する半導体装置において、第 n 層と第 $(n+1)$ 層の配線間を接続するスルーホールの面積よりも第 $(n+1)$ 層と第 $(n+2)$ 層の配線間を接続するスルーホールの面積を大きくとることで、配線間のスルーホールの適切な寸法面積を得ることができ断差や膜厚による配線間接続の支障をなくすることができ、多層配線構造を実現できる。

なお、ICにおいて周辺部の最上層配線に接続されるボンディングパッドを形成するためのスルーホールについては本発明とは別途に考えるものとする。

特に、本発明によれば、スルーホールの径は $\phi_1 < \phi_2 < \phi_3$ の関係にあるため、実施例から明らかなように、スルーホール ϕ_1 上の断差上において第2層A ϕ 配線12と第3層A ϕ 配線15とが第2の層間絶縁膜13に設けられたスルーホール ϕ_2 を介して十分な接続ができる。したがって、配線の自由度が増し、高密度配線が可能となり、集積回路を有する半導体装置に有益である。

【利用分野】

本発明は前記実施例に限定されるものでなく、これ以外に種々の変形例を有する。例えば、第1層の配線はA ϕ 配線でなくポリSi配線又はMo配線であってもよい。層間絶縁膜はCVD-PSGやポリイミド樹脂以外にCVD-SiO $_2$ やプラズマSi $_3$ N $_4$ 等を使用し、あるいはこれらの物質から適当に選んだものを併用してもよい。

本発明は多層配線を有する半導体装置一般に適用することができる。

4. 図面の簡単な説明

第1図及び第2図は多層配線構造における一部断面図である。

第3図～第7図は本発明の一実施例を示す半導体装置の多層配線形成プロセスの工程断面図である。

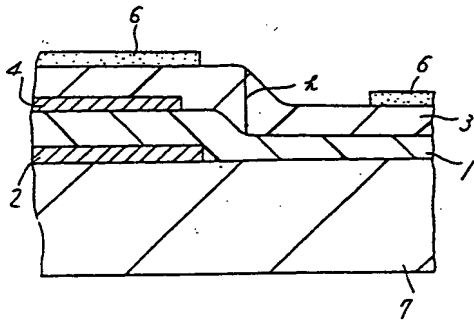
1…絶縁膜、2…配線、3…絶縁膜、4…配線、5…穿孔(スルーホール)、6…ホトレジストマスク、7…半導体基体、8…酸化膜、9…第1層の配線、10…第1層の層間絶縁膜、11…スルーホール、12…第2層のA ϕ 配線、13…第2

の層間絶縁膜、14…スルーホール、15…第3層のA ϕ 配線。

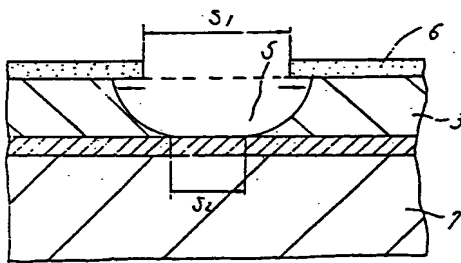
代理人 井理士 小川 勝



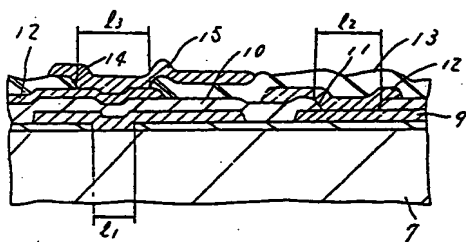
第 1 図



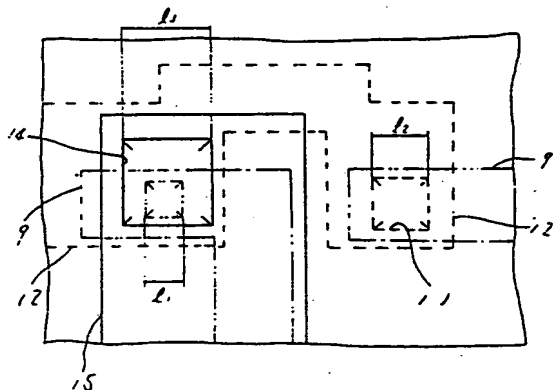
第 2 図



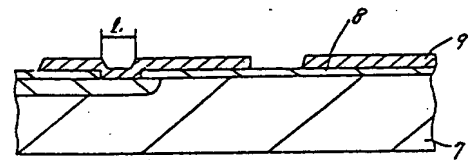
第 7 図



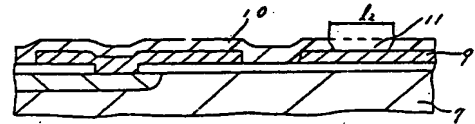
第 8 図



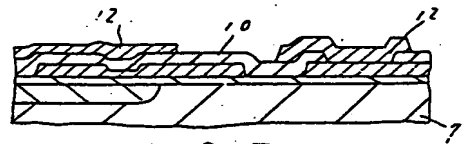
第 3 図



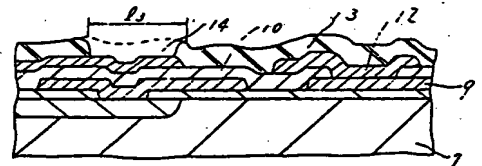
第 4 図



第 5 図



第 6 図



手続補正書(方式)

平成 2 年 8 月 7 日

特許庁長官殿

事件の表示

平成 2 年 特許願 第 29571 号

発明の名称

集積回路を有する半導体装置

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日 立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所内

電話 東京 212-1111 (大代表)

氏 名 (6850) 弁理士 小 川 勝 男

補正命令の日付

平成 2 年 7 月 31 日

補正の対象

明細書の図面の簡単な説明の欄

補正の内容

次頁のとおり

方 式
審 査

小
松



1. 明細書第9頁第15目の「る。」の次に下記
の文章を加入する。

記

「 第8図は本発明に係わる配線パターンとスル
ーホールの位置を示す平面図である。」

代理人 弁理士 小 川 勝 男



